

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-086561

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

G11C 11/41

(21)Application number : 10-195181

(71)Applicant : HEWLETT PACKARD CO <HP>

(22)Date of filing : 10.07.1998

(72)Inventor : NAFFZIGER SAMUEL D
ZHANG KEVIN X

(30)Priority

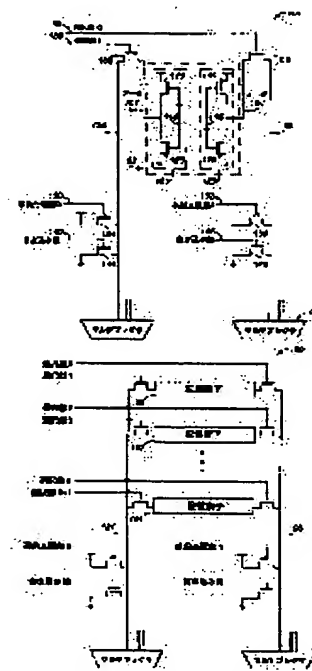
Priority number : 97 891173 Priority date : 10.07.1997 Priority country : US

(54) SINGLE-END READ/DUAL-END WRITE SRAM CELL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a static random access memory(SRAM) cell having a fast read speed and easy to add a preparatory port.

SOLUTION: This SRAM cell has one or more of storage elements 92, 182, 184, and is connected to a read-out component 98 by a single transmission line 96 and respective storage elements 92, 182, 184 are connected to the transmission line 96 through a switch 94, and one storage element one time is connectable to the transmission line 96 in a start state. The read-out component 98 generates an output showing a value to be recorded in the storage elements 92, 182 or 184 in the start state, and further, switches the transmission line 96.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

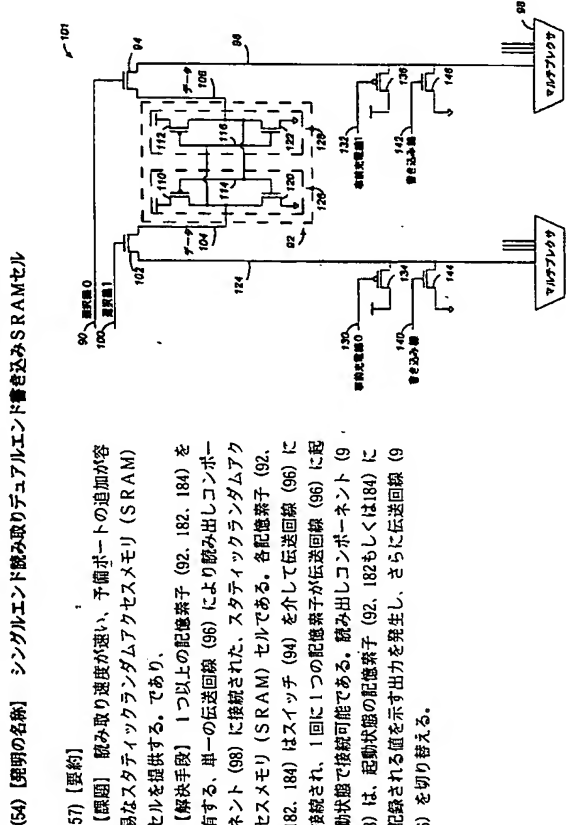
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平11-86561

(43) 公開日 平成11年(1999) 3月30日

(51)IntCl. ⁶	横切記号	FI
G11C 11/41		G11C 11/40
		11/34
		B
		U
		K
審査請求 未請求 請求項の数1 OL (全13頁)		
(21)出願番号	特願平10-195181	(71)出願人
(22)出願日	平成10年(1998)7月10日	398038580
(31)優先権主張番号	8 9 1 1 7 3	ヒューレット・パカード・カンパニー
(32)優先日	1997年7月10日	HEWLETT-PACKARD COMPANY
(33)優先権主張国	米国 (US)	PANY
		アメリカ合衆国カリフォルニア州パロアルト
		ト ハノーバー・ストリート 3000
		(72)発明者
		サミュエル・ディー・ナフサガー
		アメリカ合衆国コロラド州80525, フォー
		ト・コリンズ, アッシュムウント・ドライブ
		ザ・3749
		(73)発明者
		ケビン・エックス・ツァンガ
		アメリカ合衆国コロラド州80525, フォー
		ト・コリンズ, ハメル・レイン・5652
		(74)代理人
		井理士 古谷 肇 (外2名)



【特許請求の範囲】

【請求項 1】 ビット線 (96) と、1つ以上の記憶素子 (92, 182, 184) と、各記憶素子は、記憶値を保持しており、1つ以上の選択スイッチ (94) を介して前記ビット線 (96) に切り替え可能に接続されること、前記1つ以上の選択スイッチ (94) は、前記1つ以上の記憶素子 (92, 182, 184) の1つから前記ビット線 (96) へ伝送値として前記記憶値を伝送するためのスイッチであること；前記ビット線 (96) に接続されるセンサ (98) と、該センサ (98) は前記ビット線 (96) に生じる前記伝送値に基づき出力を発生すること、を含むことを特徴とするメモリセル。

【発明の詳細な説明】

【0001】
【発明の属する技術分野】 本発明は、一般に、スタティックランダムアクセスメモリ (SRAM) の分野に関するものであり、とりわけ、高速単端読み取り回路を備えたSRAMセルを構成するシステム及び方法に関するものである。

【0002】

【従来の技術】 SRAMセルは、デジタルビット値を記憶し、その値の書き込み及び読み返しを可能にするための技術において既知のものである。SRAMセルは、マイクロプロセッサの内部キャッシュメモリの場合のように、データ記憶を必要とする多くの電子用途において用いられる。

【0003】 SRAMセルには、一般に、1つ以上の記憶素子及び記憶素子に対するデジタルビット値の読み取り及び書き込みを行う回路要素が含まれている。記憶素子は、ビット線と呼ばれるワイヤによって読み取り及び書き込み回路要素に接続される。記憶素子は、ビット線の電圧に、接地電位から供給電圧までの、又は供給電圧から接地電位までの変化もしくはスlew (slew) を生じさせることによって、記憶ビット値を読み取り回路要素に表示する。全電圧変化は、レール間スlewと呼ばれる。

【0004】 ほとんどスペースを必要としない高密度メモリを割り出すため、記憶素子は、できる限り最小の部品を最も少なく用いて製作される場合が多い。結果として、記憶素子は、一般に、ビット線における高速レール間スlewを生じさせる電力を有さない。単純な記憶素子によるビット線における全レール間電圧スlewの発生を待つことによって、許容できないほどに長い遅延が生じるのを回避するため、従来技術によるSRAMセルは、別々にスlewを生じる2つのビット線及び逆動増幅器又はセンサ増幅器を必要とした。センサ増幅器は、全レール間スlewを待たずとも、ビット線に単に部分スlewが生じさえすれば、記憶値を決定する。センサ増幅器は、2つのビット線と比較し、それらの間に極めてわずかな電圧差しかなくとも、どちらの値が大きいかを判定する

ことが可能である。センサ増幅器は、遅延クロック線によってトリガされると、2つのビット線と比較する。この遅延は、記憶素子がビット線においてセンサ増幅器の差を検出するのに十分なスlewを別々に生じさせるのに要する、最悪の場合の時間量として計算される。記憶素子とは異なり、センサ増幅器は、電圧変化又は状態変化を後続回路に迅速に伝えるのに十分な大きさを備えている。

【0005】 センサ増幅器を用いることによって、センサ増幅器の回路構成及び遅延回路構成の両方において、大きなサイズ及びコンポーネント数の負担が軽減される。メモリ回路構成全体のサイズを縮小するため、可能性のある最少数のセンサ増幅器が利用される。これは、1つのセンサ増幅器に関して、1対のビット線にできるだけ多くの記憶素子を配置することによって実施される。これには、ビット線に負荷をかけ、電圧変化を減速し、さらにはセンサ増幅器の最悪の場合の遅延を引き出し、させるといった、望ましくない副作用がある。それによって、1対のビット線を共有する記憶素子の同時読み取りも妨げられる。

【0006】 多くのメモリ用途では、単一記憶素子の複数の同時読み取り操作が必要であり、必然的にSRAMセルに対して予備のポートを追加することになる。従来技術によるSRAMセルの場合、各追加ポートは、その関連するセンサ増幅器及び遅延回路要素に対して、もう1対のビット線を必要とする。従って、追加ポートを追加することによって、SRAM回路要素のサイズが大幅に拡大され、必要なFET数が大幅に増すという不利を被ることになる。また、追加ポートを加えると、各個別読み取り操作の速度が低下する。記憶素子が、ビット線の追加によって負荷をかけられるので、センサ増幅器クロックの最悪の場合の遅延も必然的に増すことになる。

【0007】

【発明が解決しようとする課題】 本発明の目的は、予備ポートの簡単な追加を可能にするが、その一方で、速度を増し、必要なコンポーネントのサイズを縮小し、数を減少させ、SRAMセルを提供することにある。本発明はこれらの目標全てを達成することにある。

【0008】

【課題を解決するための手段】 SRAMセルに必要なサイズ及びコンポーネント数は、記憶素子に記憶された値を読み出すための単純な方法及び装置を提供することに留意して、縮小及び減少する。1つ以上の記憶素子が、別個に制御されるスイッチによって単一伝送回路に切り替え可能に接続されるので、その関連スイッチを介して、1回につき1つの記憶素子を伝送回路に電気的に接続することが可能になる。記憶素子が伝送回路に電気的に接続されると、読み出しコンポーネントは、伝送回路の入力に基づいて、記憶素子に記憶された値を表示する出力を生じさせる。

【0009】記憶素子に関連スイッチによって伝送回線に電気的に接続されると、1つ以上の記憶素子に対して記憶素子に新しい値を送り伝送回線に電圧脈を切り替え可能に接続することにより、値は書き込まれ、望ましい実施態様の各記憶素子毎に、2つの入力/出力(1/0)ポート、すなわち1/0ポート及び反転1/0ポートが設けられている。1つの伝送回線を1/0ポートに接続し、第2の伝送回線を反転1/0ポートに接続し、第2の伝送回線を反転1/0ポートから得られる。2つの読み取りポートのそれぞれは、所望の場合、各読み取りポートによって別個にかつ同時に記憶値を読み取ることができるようにするため、読み出しコンポーネントが接続されている。この望ましい実施態様の場合、2つの1/0ポートの両方を利用して、値は1つ以上の記憶素子に対して書き込まれる。第1と第2の伝送回線は、それぞれ切り切り替え可能にアースに接続されるので、1/0ポートと反転1/0ポートのいずれかに、0の値を表す、ほぼ接地電位に等しい電圧レベルを送り込んで、1つ以上の記憶素子に0と1のいずれかが記憶されるようにすることが可能である。

【0010】【発明の実施の形態】本開示において、素子が「電気的に接続されている」と称される場合、これは、1つの素子からもう1つの素子に電気的な信号を受け渡すことができるという意味である。例えば、以下の説明においては、記憶素子は、ワイヤ及びトランジスタによってセンサに物理的に接続することが可能であるが、トランジスタがオフであって、電気的な信号が阻止されるので、信号は記憶素子からセンサに送られない。

【0011】もちろん、本明細書において図示され、解読される、本発明の特定の実施態様は例示的なものであっても、本発明の望ましい例を示すことによって、当業者がそれを完全に理解し、利用できることを意図したものである。本明細書において図示され、解読される特定の例に本発明が制限されることを意図したものではない。

【0012】本発明については、図1～3に示された従来技術を参照することによって最もよく理解できるであろう。

【0013】図1には、従来技術によるSRAMセルが示されている。従来技術によるSRAMセルの供給電圧は、一般的には5ボルト又は3ボルトの供給電圧といったように、2ボルトを大幅に超える。

【0014】ビット値は、記憶素子10に記憶される。記憶素子10は、いつでも、互いに反転した値を有する。2つの入力/出力(1/0)ポート4、6を備えている。一般に、記憶素子10をできるだけ小さく、単純にするこ

ることが可能である。一般に、用いられるFETが大きいほど、あるいは多いほど、接続ワイヤにおける迅速な電圧変化の駆動に消費する電力が多くなる。4つのFETだけで構成される記憶素子からの読み取り時には、単一FETが各ビット線にスルーを生じさせなければならぬ。従って記憶素子10は、その出力において状態変化を迅速に駆動することができない。

【0015】選択線12(SEL ECT)が、スイッチFET14及び16のゲートに接続される。読み取り又は書き込み操作時には、選択線12が駆動され、スイッチFET16によって、記憶素子10の1/0ポート6がビット線22に接続され、スイッチ14によって、記憶素子10の反転1/0ポート4がビット線20に接続される。

【0016】値は、記憶素子10に対して、ブルダウン(pulldown)FET36及び40を駆動するそれぞれ書き込み線32(WR')及び34(WR)によって書き込まれる。書き込むべき値如何によって、書き込み線32と書き込み線34のいずれかが駆動される。記憶装置10に1を書き込むためには、反転1/0ポート4が接地電位までブルダウンされ、0を書き込むためには、非反転1/0ポート6が接地電位までブルダウンされる。この開示において、アースは、38において示されるように、三角形で示されることに留意されたい。供給電圧Vddは、28に示されるように「T」字を形成する水平線として示されている。

【0017】従来技術によるSRAMセルは、単調の場合が多く、セルの動作は、2つのクロック状態、すなわち事前充電状態と評価(evaluation)状態に分割される。単調システムの場合、読み取り及び書き込み操作は、評価状態中に行われなければならない。ビット線はVddまでプルアップ(pullup)するよりも、ビット線を接地電位までプルダウンするほうが迅速に行うことができるので、事前充電状態中、ビット線に論理的なハイ状態(logic high state)になるまで事前充電を施すことによって、速度が速められることになる。図1の事前充電線24(PCHG)が駆動され、さらにプルアップFET26及び30が、ビット線20及び22に接続され、それらをハイ状態に事前充電してVddとする。評価状態中、事前充電線24は停止し、プルアップFET26及び30がオフになる。従って読み取り操作中、記憶素子10に必要な値は、ビット線20と22のいずれかを論理的なロー状態にプルダウンし、もう一方は事前充電による論理的なハイ状態のままにしておくだけである。

【0018】値は、事前充電線24を使用禁止にしてかつ選択線12を駆動して、記憶素子10をビット線20及び22に接続することによって、記憶素子10から読み取られる。従来技術によるSRAMセルは、デュアルエンド(dual-ended)読み取りシステムであり、2つのビット線を検査して、記憶素子10の2つの反転1/0ポート4及び6から伝送される値を確認する必要がある。記憶素子10

は、ビット線20及び22に接続されるので、記憶されたビットの値に基づいて、ビット線20及び22の一方が接地電位までプルダウンされ、それと同時にもう一方は事前充電によるハイ状態のまま維持される。センス増幅器42は、2つのビット線20及び22間におけるわずかな数百ミリのボルトの差を検出するために使用され、結果として回路46にデジタル出力が生じる。単純な記憶素子10によって、ビット線20及び22が、高供給電圧Vddから接地電位まで完全にプルダウンされるのを待っていること、望ましくない遅延が付加される。センス増幅器を使用することにより、ビット線20及び22の一方にVddから接地電位までの完全なスルーが生じるのを待つことなく、ビット線20及び22のビット値を読み取ることが可能になる。センス増幅器42は、読み取り操作の開始から一定量の時間だけ遅延するようにハードワイヤード(hard-wired)が施されたクロック線44によって駆動される。この時間長さは、ビット線20及び22に、供給電圧からの数百ミリボルトのスルーダウンが生じ、センス増幅器42が確実にその差を検出することができるようになるに要する最悪の場合の時間として、あらかじめ計算される。

【0019】センス増幅器42が差を検出するのに必要とする数百ボルトのスルーは、供給電圧レベルを下げることで低減されない。この最低スルーレベルは、ノイズとトランジスタの整合係数によって固定される。【0020】一般に、センス増幅器42の出力回路46が他のSRAMセルの出力と共にマルチプレクサ30に接続されることによって、当該技術の通常の技術者によって周知の構成において、図示しないアドレス回路素子を用いて異なるメモリ位置の読み取りが可能となる。

【0021】従来技術によるSRAMセルは、単一ポート(single-port)SRAMであり、1回につき1つの読み取り操作しか実施できない。SRAMセルは、複数の読み取り操作を同時に実施できるように拡張される場合が多い。図2には、2つの同時読み取り操作を可能にする。従来技術によるデュアルポートSRAMセルが示されている。第2のポートを追加するには、スイッチFET62及び64を備えた第2の選択線60、2つの新たなビット線66及び70及び第2グループをなす読み取り及び事前充電回路要素76の追加が必要である。従って記憶素子10の読み取りは、選択線12を駆動し、回路要素グループ74を介して記憶ビット値を読み取るか、あるいは選択線60を駆動し、回路要素グループ76を介して記憶ビット値を読み取ることが可能である。SRAMセルは、両方のポートを使用することが可能である。SRAMセルは、両方のポートによって同時に読み取ることができるので、記憶素子10は、いつでも、ビット線20と66、又は22と70を接地電位にプルダウンすることが必要になる可能性がある。記憶素子10の各1/0ポート4又は6に、1つではなく、2つのビット線が接続されると、配線サイズが拡大するので、キャパシタンスが増大し、状態を変化させるのに

より多くの電力が必要になる。記憶素子10の負荷が増すので、電圧のレベルがより緩慢になる。従って、ハードワイヤードによるクロック線44及び72の最悪の場合の遅延はさらに延長されなければならない。

【0022】メモリスステム全体のサイズを縮小するため、図3に示すように、関連する書き込み、事前充電及びセンス増幅器回路素子に関して、1対のビット線20及び22に複数の記憶素子10、80、82等を接続することによって、センス増幅器数が最小限に抑えられる。しかしながら、その関連センス増幅器に関してデュアルエンドビット線の使用は、サイズ面で不利になるため理想的ではない。各センス増幅器に多数の記憶素子を接続することにより、この不利を最小限に抑えると、センス増幅器を利用する利点が多少相殺されることとなる。速度の面で不利を被る。1対のビット線に新たな各記憶素子が追加されるので、システムのキャパシタンスが増大し、電圧の変化が緩慢になる。

【0023】従ってシステムの速度を改善するためにセンス増幅器を使用すると、サイズが増大される。センス増幅器数を最小限にとどめることにより、この拡大されるサイズを縮小すると、やはりシステムが減速され、センス増幅器の速度の利点が相殺される。センス増幅器及び2つのビット線を有するシステムに予備のポートを追加すると、サイズが大幅に拡大され、システムがさらに減速される。したがって容易にポートを追加することが可能な、より高速で、より小形のSRAMセルが依然として必要とされている。

【0024】本発明では、さらに詳細に後述するよう

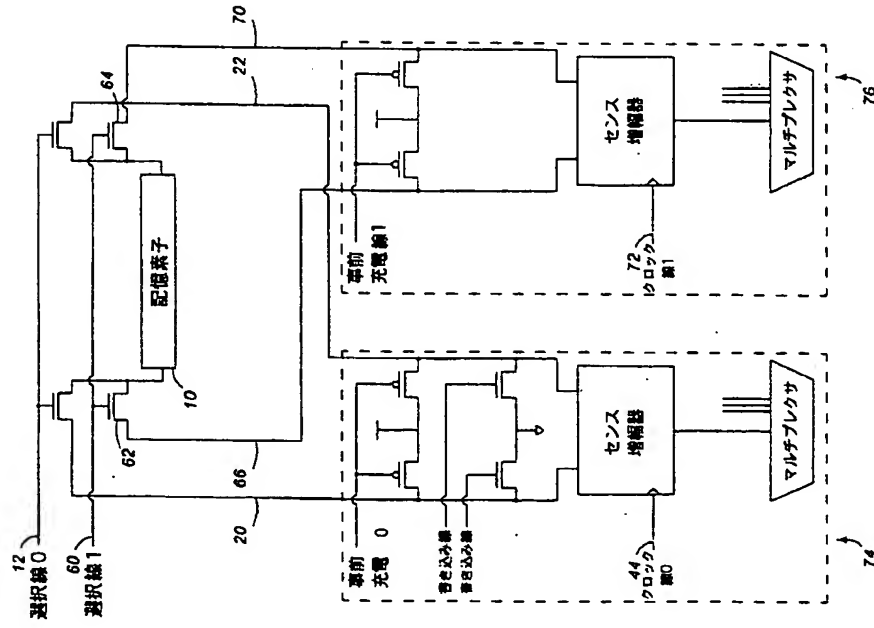
に、記憶素子におけるビット値を読み出すためのより単純な方法及び装置を提供することによって、部分的にこれらの目的が達成される。

【0025】図4には、本発明によるSRAMセル91が示されている。SRAMセル91は、1つの記憶素子と、単一ポートを備えており、スイッチ94に介してビット線96に切り替え可能に接続される記憶素子92が含まれている。スイッチ94は、選択線90(SEL ECT)によって駆動される。記憶素子92に記憶された値は、ビット線96の状態だけに基づいて、センサ98によって確認される。

【0026】図5には、センサ98によって確認される。本発明による単調デュアルエンド(single-ended)読み取り/デュアルエンド書き込み二重ポート(dual-port)SRAMセル101が示されている。このSRAMセル101の供給電圧は、約2ボルト未満が望ましい。本開示において、「論理的なハイ」なる言葉は、供給電圧Vddに実質的に等しい電圧レベルを表しており、1の値と解釈される。「論理的なロー」なる言葉は、接地電位に実質的に等しい電圧レベルすなわち0ボルトを表しており、0の値と解釈される。

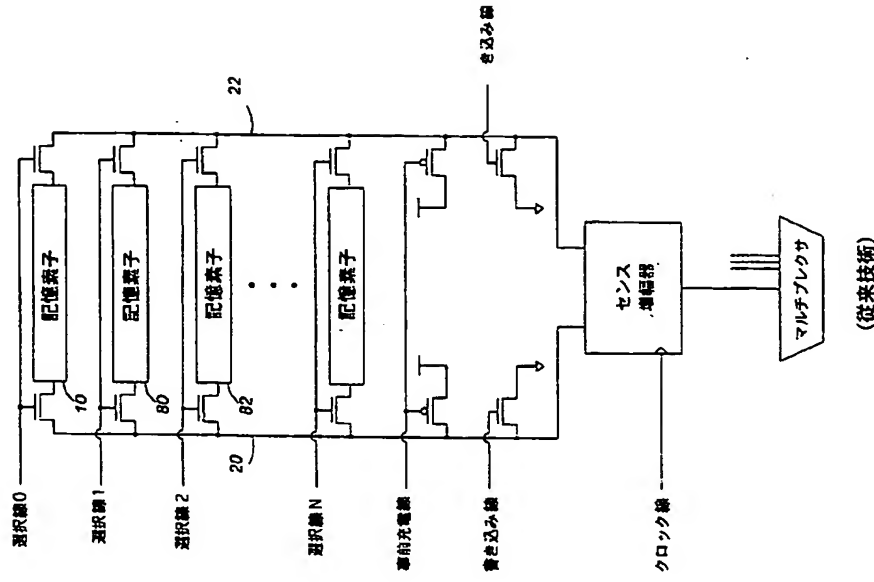
【0027】記憶素子92は、1対のインバータ126及び128を形成する4つのFET110、112、120及び122から構

【図2】



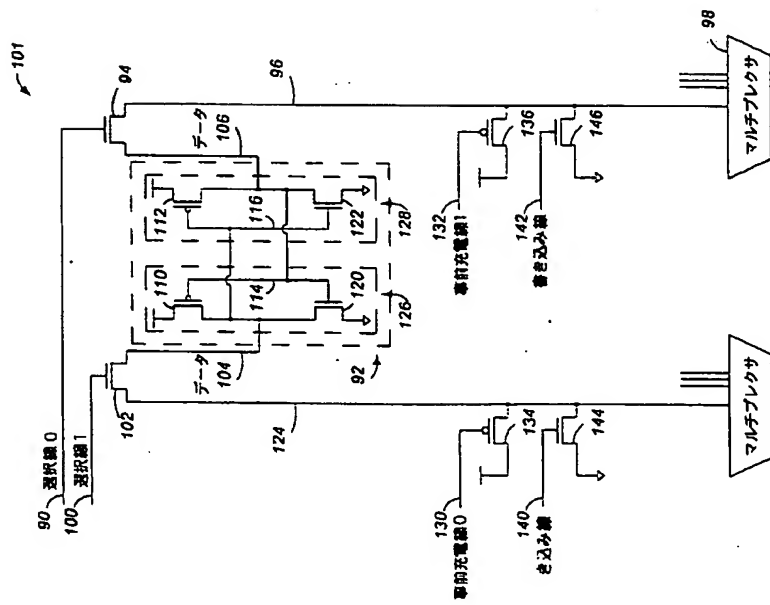
(従来技術)

【図3】

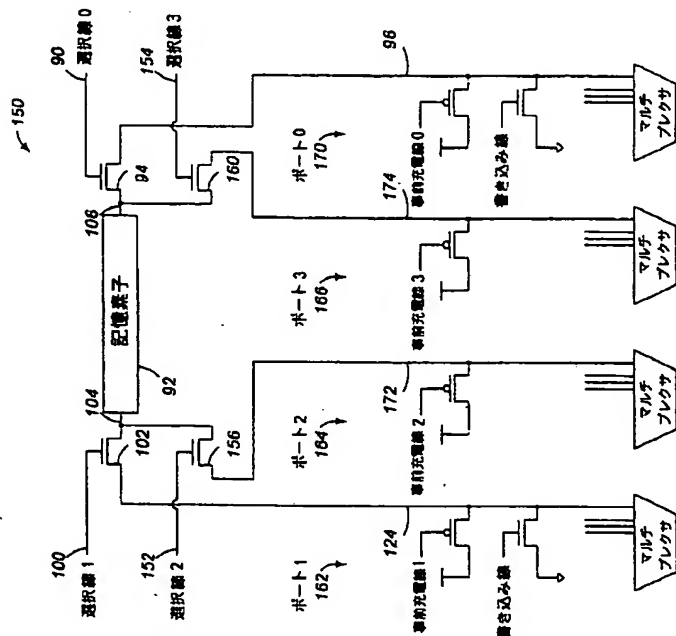


(従来技術)

【図5】



【図6】



180

